

一种全差分增益自举运算放大器的设计

冯文晓, 陆铁军, 王宗民, 周 亮

(北京微电子技术研究所, 北京 100076)

摘 要: 设计实现了一种具有高增益大带宽的全差分增益自举运算放大器, 适用于高速高精度流水线模数转换器采保电路的应用. 增益自举放大器的主放大器和子放大器均采用折叠共源共栅式全差分结构, 并且主放大器采用开关电容共模反馈来稳定输出电压. 该放大器工作在 3.0 V 电源电压下, 单端负载为 2pF, 采用 0.18 μ m CMOS 工艺库对电路进行仿真, 结果显示该放大器的直流增益可达到 112dB, 单位增益带宽为 1.17GHz.

关键词: 全差分放大器; 增益自举; 折叠共源共栅; 采保电路

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2010)12-0142-04

A Design of Fully Differential Gain Boosted Operational Amplifier

FENG Wen-xiao, LU Tie-jun, WANG Zong-min, ZHOU Liang

(Beijing Microelectronics Technology Institute, Beijing 100076, China)

Abstract: In this paper, a high gain and high speed fully differential gain boosted operational amplifier is proposed. The amplifier is designed for sample and hold circuit of pipelined analog-to-digital converter. Both the main amplifier and the boosted amplifier adopt fully differential folded-cascode structure. The main amplifier uses a switched capacitance common mode feedback circuit to stabilize the output. With 3.0 V power supply, this circuit is designed in 0.18 μ m CMOS process. Spectre simulation shows that the whole amplifier has the DC gain of 112 dB and the unity gain bandwidth of 1.17 GHz under 2 pF single ended load.

Key words: fully differential operational amplifier; boosted amplifier; folded cascode; S/H circuit

1 引言

随着无线通讯技术的发展, 高速高精度流水线模数转换器的发展变得至关重要. 而高性能的运算放大器是提高模数转换器性能的关键.

通常数字电路和模拟电路集成在一块芯片上以减少系统功耗, 但是数字电路通过电源网络和衬底将噪声注入到模拟电路, 从而降低了模拟电路的性能. 全差分结构是减少此类噪声对模拟电路影响的一种有效结构, 并且增加了输入信号的摆幅, 运算放大器作为模拟电路的主要模块采用全差分结构. 要使运算放大器兼具高精度和高速度是非常矛盾的^[1-2]. 因为高精度要求放大器具有高直流增益, 而高速度要求放大器具有大的单位增益带宽. 在运算

放大器的设计中, 使其既具有大带宽又具有高增益非常困难. 单级结构的运算放大器通常具有大的增益带宽, 主要包括折叠共源共栅式结构和套筒式结构. 折叠式结构与套筒式结构相比功耗大, 但是具有大的输出摆幅和较大的输入共模范围^[3-4], 这在采保电路中非常重要. 采用具有增益自举结构的全差分折叠共源共栅式运算放大器, 可以实现高速高精度的要求. 文中介绍了增益自举技术和放大器的具体电路实现及仿真结果.

2 增益自举技术

图 1 为增益自举放大器的模型^[2]. M1 和 M2 构成主共源共栅放大器, A 为子放大器, 同时也表示子放大器的直流增益. 放大器 A 驱动 M2 的栅端,

迫使 M1 的漏端电压与参考电压 V_{ref} 相等. 放大器 A 使得输出端电压的变化对 M1 漏端电压的影响减小^[4]. 这样输出电阻 R_{out} 的大小几乎是常规共源共栅结构输出电阻的 A 倍. 未使用增益自举结构的放大器直流增益为

$$A_{tot} = g_{m1} r_{o1} (g_{m2} r_{o2} + 1) \quad (1)$$

带增益自举结构的放大器的直流增益为

$$A_{tot} = g_{m1} r_{o1} (g_{m2} r_{o2} (A + 1) + 1) + g_{m1} r_{o2} \quad (2)$$

比较式(1)和式(2)可知,增益自举技术使得放大器的直流增益比未使用增益自举技术的放大器增加了若干数量级.

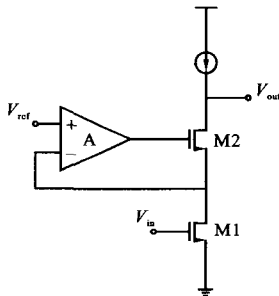


图1 增益自举技术

3 全差分增益自举放大器的电路实现

图2为全差分增益自举放大器的完整电路实现图,主要包括全差分增益自举放大器,共模反馈电路和偏置电路.

3.1 放大器电路

主放大器和实现增益自举功能的子放大器皆采用折叠共源共栅式全差分结构. 实际上任何结构的放大器均可以选作为子放大器使用,但是为了提高放大器的增益和匹配度,在此选用折叠共源共栅式

结构^[5-6]. 对于主放大器输入晶体管的选择,若NMOS作为输入管,则放大器具有较高的增益带宽,但是非主极点频率会很低;若选用PMOS作为输入管,放大器具有较小的增益带宽,需要提供大电流和大的宽长比才能实现高速度,但是同时非主极点频率较高. 为了得到较大的相位裕度,主放大器选择PMOS管作为输入管. 子放大器BP选用PMOS作为输入管,见图3;子放大器BN则选用NMOS作为输入管.

设计自举放大器时,要处理好主放大器的极点与子放大器极点之间的关系,使放大器稳定地工作. 子放大器的单位增益带宽 ω_1 应该小于主放大器的非主极点 ω_{p2} ^[7]. 这里 β 代表反馈系数, ω_{p1} 代表主放大器的单位增益带宽. 因为子放大器的负载远小于主放大器的带宽,所以很容易满足不等式(3)^[4].

$$\beta \omega_{p1} < \omega_1 < \omega_{p2} \quad (3)$$

3.2 共模反馈电路

差分放大器与单端放大器相比,在共模输入噪声抑制和电源噪声抑制方面具有显著的优势^[7],但是当差分放大器工作在采样保持电路的闭环状态下时,放大器的高差分增益虽然能够稳定差模信号,但是共模信号却易受到影响. 放大器需要一个额外的共模反馈电路来控制输出共模电压. 共模反馈电路的作用是平均差分输出电压,产生共模电压 V_{cm1} , V_{cm1} 与参考共模电压 V_{CM} 进行比较,将两电压之差进行放大并用此误差电压改变放大器的共模反馈电压 V_{CMFB} ,直到 V_{cm1} 和 V_{CM} 相等^[8].

共模反馈电路可分为两种结构:开关电容共模反馈和连续时间共模反馈. 与连续时间共模反馈电

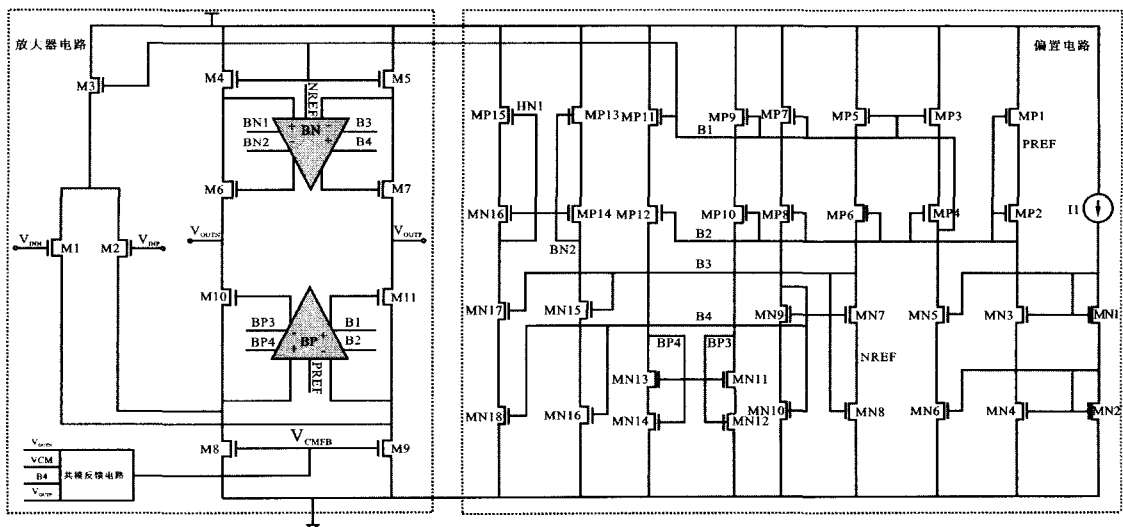


图2 全差分放大器电路

路相比,开关电容共模反馈电路功耗较小.因为全差分运算放大器应用于采保电路中,而采保电路工作本身就需要不交叠时钟,共模反馈电路的开关只需要采用其中的一组时钟来控制即可.这里主放大器采用开关电容共模反馈,见图 4.此共模反馈电路由四个电容和六个开关组成.为了不使主放大器的电容负载过大,应合理选择共模反馈电容的大小.两相不交叠时钟 CLK1 和 CLK2(图 5)控制开关的闭合和断开, V_{CM} 为 1.5V.当 CLK1 为高时, C_1 充电至 $V_{CM} - V_{BIAS}$.当 CLK2 为高电平时, C_1 和 C_2 并联. C_2 的直流电压由 C_1 决定,并在 CLK2 时刷新电压.因为子放大器不需要太大的输入和输出摆幅,可以将其连接成源跟随器的形式^[5].

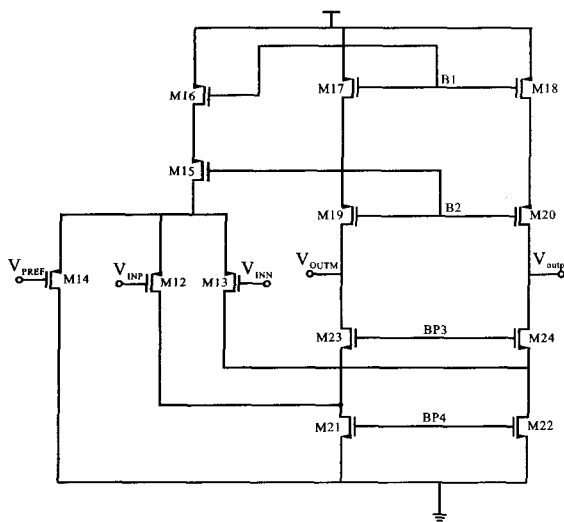


图 3 子放大器 BP

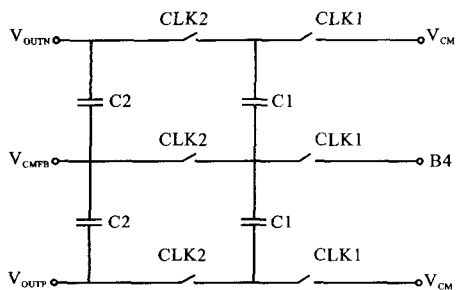


图 4 开关电容共模反馈电路

3.3 偏置电路

合理的偏置电路设计对于放大器性能的提高有重要作用,这里偏置电路采用 Wide-Swing-Cascode 结构^[9].图 2 中整个电路的偏置都由参考电流源 I1 产生.在主放大器和子放大器中,对于漏极与 Cascode 管源极相连的共源管,如子放大器 BP 中的 M16、M17、M18 等,其偏置电压 B1 由 MP3、MP4 管产生.MP3 实际上是一个类似于二极管连接的器

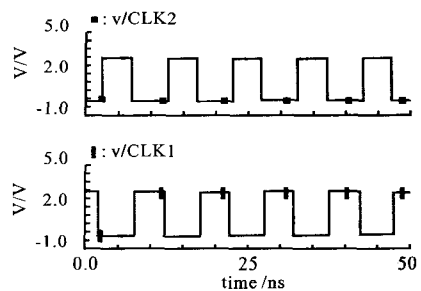


图 5 两相不交叠时钟

件,而 MP4 模拟了共源共栅管 M15、M19 和 M20 的作用,这样连接的结果是 M16 管的 VDS 与 MP3 管的 VDS 相等.这就消除了由于输出阻抗有限而引起电流不匹配.主放大器 NMOS 共源共栅管 M8、M9 的偏置为共模反馈电压 V_{CMFB} 提供,而由图 2 可知 V_{CMFB} 通过共模反馈电路由偏置电压 B4 产生.子放大器 BP 的 PMOS 共源共栅管 M19、M20 的偏置电压 B2 由 MP1、MP2 产生,MP1 是一个三端工作器件,工作在线性区;而 MP2 是类似于二极管连接的器件,工作在饱和区.此偏置电路同时由 MN3、MN4 提供电流源,要通过合理地选择 MP1 的尺寸使 M17~M20 工作在饱和区.子放大器 BP 的 NMOS 管的偏置电压 BP3、BP4 的产生原理与 B2、B1 类似.在设计偏置时,要注意偏置电路中晶体管参数与放大器晶体管参数相互匹配.

4 仿真结果

文中使用 $0.18\mu\text{m}$ CMO 工艺对全差分增益自举放大器进行仿真,电源电压为 3V,共模输入电压为 1.5V,单端负载为 2pF.图 6 为主放大器,子放大器 BP 及 BN 的幅频相位图,由图测得主放大器, BP 及 BN 的直流增益分别为 56dB、58 dB、50dB;单位增益带宽分别为 1.15GHz、585MHz、506MHz;相位裕度为 62° 、 83° 、 80° .整个放大器的幅频相位特

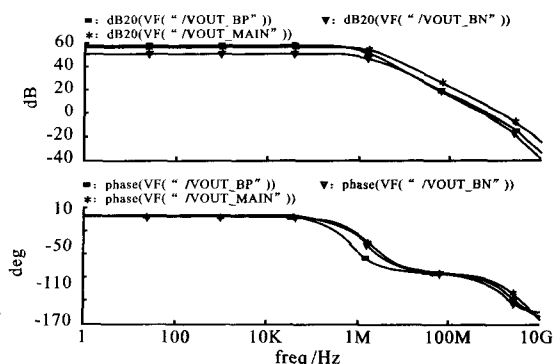


图 6 主放大器、BP 及 BN 的幅频相位特性

性见图 7,整个放大器的单位增益带宽为 1.17GHz,直流增益约为 112dB,相位裕度为 69°.

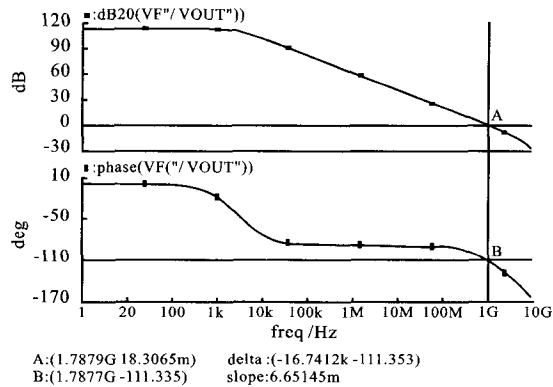


图 7 全差分增益自举放大器的幅频相位特性

放大器的建立时间通过将放大器应用于采样保持电路中测得(见图 8). 这里的采保电路采用电容翻转型结构,反馈因子接近于 1,这种结构的优点是功耗较小,噪声低. 整个放大器的性能参见表 1. 同时列出了文献[2,10]中放大器的性能参数. 通过比较可知,文中设计的放大器具有更大的增益带宽,更高的直流增益,更稳定的相位裕度和更短的建立时间.

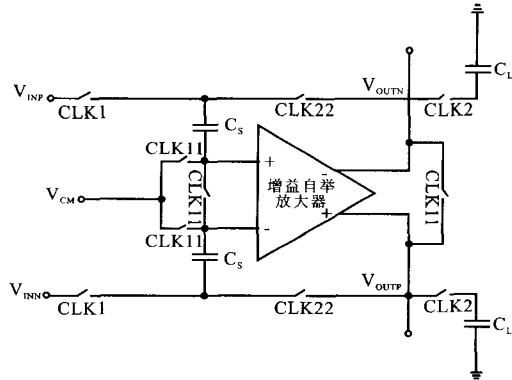


图 8 采样保持电路
表 1 放大器的性能参数

	文中	文献 [2]	文献 [10]
直流增益/dB	112	90	95
GBW/GHz	1.171	0.116	0.412
相位裕度/deg	69	64	75
参考电压/V	3.0	5.0	3.0
负载/pF	2.0	16	1.9
建立时间/ns	2.5	61.5	7.5
功耗/mW	20.1	52.0	12.8

5 结束语

文中分析和设计了一种增益自举折叠共源共栅式全差分运算放大器,可应用于高速高精度流水线

模数转换器的采样保持电路中. 此放大器用于增益自举的子放大器亦采用折叠共源共栅式结构. 放大器既具有大的增益带宽,又具有高的直流增益. 采用 Cadence Spectre 仿真工具,在 0.18μm CMOS 工艺条件下对电路进行仿真. 仿真结果显示,放大器的单位增益带宽能够达到 1.17GHz,直流增益大约为 112dB,完全符合高速高精度流水线模数转换器的应用要求.

参考文献:

[1] Kamath B Y, Meyer R G, Gray P R. Relationship between frequency response and settling time of operational amplifiers[J]. IEEE J. Solid-State Circuits, 1974 (SC9): 347—352.

[2] Bult K, Geelen G J G M. A fast-settling cmos op amp for circuits with 90—db dc gain[J]. IEEE J. Solid-State Circuits, 1990, 25(6): 1379—1384.

[3] Yang W, Kelly D, Mehr I. A 3V 340mW 14b 75Msample/s CMOS ADC with 85dB SFDR at nyquist input[J]. IEEE J. Solid-State Circuits, 2001, 36(12): 1931—1936.

[4] Razavi B. Design of analog CMOS integrated circuits [M]. New York: McGraw Hill, 2001.

[5] Yang Bin, Ying Xiumei, Yang Huazhong. A high-speed high-resolution sample-and-hold circuit[J]. Chinese Journal of Semiconductors, 2007, 28(10): 1642—1646.

[6] 张凯,周贵贤,刘烨,等. 12 位 100MS/s ADC 中采样/保持电路的分析与设计[J]. 微电子学与计算机, 2007, 24(11): 8—13.

[7] Qyvind Berntsen, Carsten Wulff, Trond Ytterdal. High speed, high gain OTA in a digital 90nm CMOS technology[C]// NORCHIP. Oulu, 2005.

[8] Ojas Choksi, Richard Carley L. Analysis of switched-capacitor common-mode feedback circuit[J]. IEEE Transactions on Circuits and Systems—II: Analog and Digital Signal Processing, 2003, 50(12): 906—917.

[9] Abo A M. Design for reliability of low-voltage, switched-capacitor circuits[D]. Pasadena CA, USA, California Institute of Technology, 1999.

[10] Rohana Musa, Yuzman Yusoff, Tan Kong Yew. Design of single-stage folded-cascode gain boost amplifier for 100mW 10-bit 50MS/s Pipelined Analog-to-Digital Converter[C]// ICSE2006. Malaysia, 2006: 800—804.

作者简介:

冯文晓 女,(1985—),硕士研究生.研究方向为高速高精度流水线模数转换器.